

# PATENT ABSTRACTS OF JAPAN

(11) Publication number :

08-279591

(43) Date of publication of application : 22. 10. 1996

(51) Int. Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/12

(21) Application number : 07-082885 (71) Applicant : NEC CORP

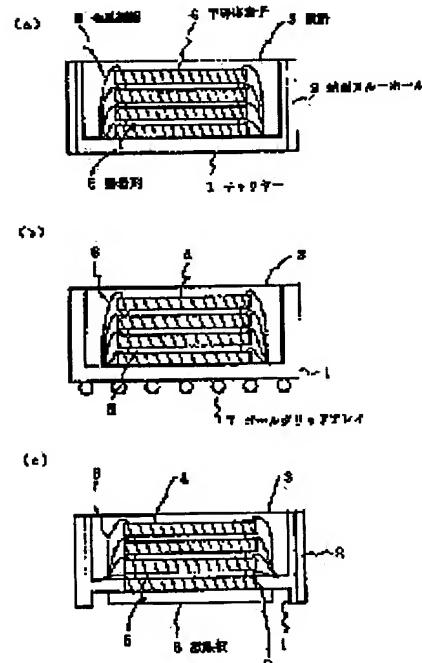
(22) Date of filing : 07. 04. 1995 (72) Inventor : SENBA NAOHARU  
SHIMADA YUZO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57) Abstract:

**PURPOSE:** To reduce weight, thickness and sizes, improve heat dissipation and reduce cost of a multi-step connection semiconductor device, which is formed by connecting a semiconductor element with a carrier by metal fine wire.

**CONSTITUTION:** Semiconductor elements 4 are connected to a carrier 1 provided with edge side through holes by multi-step connection by applying adhesive 5 between the semiconductor element 4 and the semiconductor element 4'. When the semiconductor elements 4 are bonded, the semiconductor elements are subsequently connected by metal fine wire 6 by wire bonding. An opening 9 is formed on the cavity of the carrier 1, the semiconductor element 4 is placed in the opening 9, and is connected by metal fine wire 6. Then, a desired thickness is provided by grinding, polishing, using a surface grinder, etching, etc., from the rear side of the semiconductor element 4 and is connected by multi-step connection. When a heat dissipating board 8 is bonded, heat dissipating effect is improved, and the reliability of the semiconductor device is improved.



## LEGAL STATUS

[Date of request for examination] 07. 04. 1995

[Date of sending the examiner's] 17. 06. 1997

[decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-279591

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl.<sup>6</sup>  
H 01 L 25/065  
25/07  
25/18  
23/12

識別記号

府内整理番号

F I  
H 01 L 25/08  
23/12

技術表示箇所  
Z  
W

審査請求 有 請求項の数14 O.L (全8頁)

(21)出願番号 特願平7-82885  
(22)出願日 平成7年(1995)4月7日

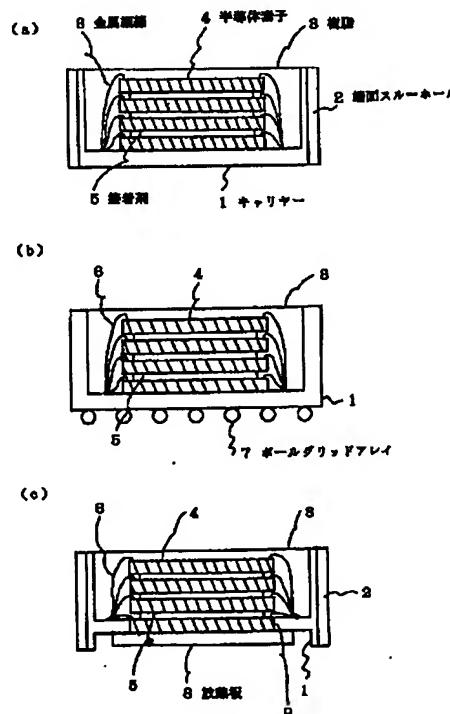
(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 仙波 直治  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 嶋田 勇三  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】 半導体素子とキャリヤーを金属細線にて接続してなる多段接続用半導体装置の軽薄短小化、高放熱化および低コスト化を図る。

【構成】 端面スルーホールを有するキャリヤー1に半導体素子4と半導体素子4との間に接着剤5を入れ、半導体素子4を多段接続する。金属細線6による接続は、半導体素子4の接着が終了次第順次ワイヤーボンディング法を用いて実施する。また、キャリヤー1のキャビティに開口部9を形成し、この開口部9に半導体素子4を入れ、金属細線6によって接続し、その後半導体素子4の裏面から研削、研磨、サーフェースグラインダー、エッティング法等によって、所望の厚さにし、これを多段に接続する。さらに放熱板8を接着すると放熱効果が向上するため半導体装置の信頼性が高くなる。



## 【特許請求の範囲】

【請求項1】半導体素子を多段接続し、スルーホール構造を有するキャリヤーに固定した半導体装置において、個々の半導体素子は引き出し電極部分を除いた部分に形成された絶縁性接着剤によって他の半導体素子と接続され、かつ前記引き出し電極からキャリヤーへの電気的な接続に金属細線を用いたワイヤーボンディング法を用いたことを特徴とする半導体装置。

【請求項2】キャリヤーがキャビティー構造であって、かつキャビティーの深さが、半導体素子の厚さと絶縁性接着剤の厚さを合わせた厚さの整数倍となっていることを特徴とする請求項1記載の半導体装置。

【請求項3】キャリヤーに半導体素子を収容できる大きさの開口部が形成されていることを特徴とする請求項1ないし2記載の半導体装置。

【請求項4】キャリヤーの開口部に半導体素子を有し、前記半導体素子は引き出し電極によってキャリヤーに電気的に接続されていることを特徴とする半導体装置。

【請求項5】請求項1ないし4記載の半導体装置が、キャリヤーのスルーホールをメタル、導電性樹脂、もしくはピンコネクションのいずれかの手段によって接続することにより多段接続されていることを特徴とする半導体装置。

【請求項6】引き出し電極部分とは逆の面に放熱板を備えた半導体素子を少なくとも1つ有していることを特徴とする請求項1ないし5記載の半導体装置。

【請求項7】多段接続した半導体素子を、マザーボードへの接続パターン部を除いて樹脂封止した事を特徴とする請求項1ないし6記載の半導体装置。

【請求項8】キャリヤーに第1の半導体素子をマウントする第1の工程と、金属細線を用いて第1の半導体素子の電極とキャリヤーの電極を電気的に接続する第2の工程と、第1の半導体素子の電極部分を除いた部分に絶縁性接着剤を接着する第3の工程と、前記接着剤上に第2の半導体素子を接着する第4の工程と、以後第2～第4の工程を繰り返してn個の半導体素子を多段接続する第5の工程とからなることを特徴とする請求項1ないし3記載の半導体装置の製造方法。

【請求項9】第5の工程後に、多段接続された半導体素子全体を樹脂封止する第6の工程を行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】第5の工程もしくは第6の工程後に、キャリヤーのスルーホールを接続することによって多段接続する第7の工程を行うことを特徴とする請求項8ないし9記載の半導体装置の製造方法。

【請求項11】端面スルーホールを有しキャビティーが形成され、かつ半導体素子より大きな開口部を有するキャリヤーの開口後に半導体素子をマウントする第1の工程と、金属細線を用いて半導体素子の電極とキャリヤーの関係を電気的に接続する第2の工程と、半導体素子の

裏面から研削、研磨、サーフェースグラインダー、エッティング法のいずれの方法によって半導体素子を所望の厚さにする第3の工程とからなることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項12】第3の工程後に、キャリヤーの端面スルーホールを接続することによって多段接続する第4の工程を行うことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】第2の工程もしくは第3の工程後に、電気的接続部を樹脂封止することを特徴とする請求項11ないし12記載の半導体装置の製造方法。

【請求項14】キャリヤーが多数個形成されている多数個取り基板に第1の半導体素子を多数個マウントする第1の工程と、金属細線を用いて個々の半導体素子の電極とキャリヤーの電極を電気的に接続する第2の工程と、個々の半導体素子の電極部分を除いた部分に絶縁性接着剤を接着する第3の工程と、前記個々の半導体素子上に形成された接着材上に第2の半導体素子を接着する第4の工程と、以後第2～第4の工程を繰り返してn個の半導体素子を多段接続する第5の工程と、バインテスト、多段接続、電気的特性検査を実施後、レーザー、スクライプ、ダイシング、チョコブレーク法のいずれかの手段によって個々に分割して複数個の多段接続された半導体装置を得る第6の工程からなることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はキャリヤーに半導体素子をマウントした構造よりなる半導体装置に関する。

## 【0002】

【従来の技術】従来の多段接続する半導体装置は、例えば特開昭61-101067号公報(図6に示す)に開示されているIC搭載用電極22、チップキャリヤー接続用電極23等が形成されたキャビティー付きセラミックパッケージ21に、メモリーIC24をマウントして金属細線を用いてメモリーIC24とIC電極22に電気的に接続されている構造となっている。その後樹脂封止を実施し、1個の半導体装置としている。更に半田26を形成し、図6のように多段接続した構造となっている。また、特開平2-310957号公報(図7(a)に示す)に開示されているように、通常のモールドパッケージの両側面、上下面にリード27を形成した構造の半導体装置を製造し、次に、図7(b)に示すようにリード24によって半導体装置を多段に接続した構造となっている。また、リソグラフィー、酸化、メタル形成技術等を用いて半導体素子の端面に、多段接続用のメタルを形成して多段接続する方法、メモリー半導体素子をマルチチップで実装したQFPパッケージを製造し、このQFPパッケージのリードを用いて多段接続する方法、リードフレームのアイランド部にTAB接続された半導

半導体素子を多段に接続し、全体を樹脂封止してQFPパッケージとする方法、TAB接続された半導体装置のアウターリードを用いて多段接続する方法、半導体素子の裏面をサイドエッチしてワイヤーボンディング法を用いて多段接続する方法、通常のICパッケージとサブおよびマザーボードによって多段接続する方法等がある。

## 【0003】

【発明が解決しようとする課題】上述した従来の多段接続する半導体装置とその製造方法では、多段接続する前の個々の半導体装置に用いているチップキャリヤーの高さが、半導体素子厚さの数倍以上になっており、非常に厚いため高密度実装に適さない。また、個々の半導体装置を多段に接続するため、更に実装密度が下がることになる。前記図7に示した例でも、モールド樹脂の中に半導体素子を傾斜させて内蔵させているため、半導体素子厚とリードフレームの厚さを合わせた厚さの数倍のモールド厚さとなっている。前述と同様に高密度実装ができない。

【0004】更に、これを多段に接続するため、更に実装密度が下がることになる。また、リソグラフィー、酸化、メタル形成技術等を用いて半導体素子の端面に多段接続用のメタルを形成する方法は、技術的な難易度が高く、また、莫大な設備投資が必要となる。メモリーの半導体素子をマルチチップで実装したQFPパッケージを製造し、リードを用いて多段接続する方法は個々のQFPパッケージの厚さが半導体素子の厚さの数倍と厚くなってしまうため、高密度実装には適さない。更に多段接続するために、実装密度が下がることになる。リードフレームのアイランド部にTAB接続した半導体素子を多段に接続し、全体を樹脂封止してQFPパッケージとする方法は高価であるとともにTAB接続するために、半導体素子の強度が必要である。そのためある厚さを確保することになる。薄くしても約0.3mm程度であり、全体のQFPパッケージの厚さを薄くすることは不可能である。TAB接続した半導体装置の外部リード(TABリード)を用いて多段接続する方法は、高価であるとともに実装面積がどうしても半導体素子よりも大きくなる。また、多段接続したときの高さが通常のQFPパッケージよりも大きくなる。従って実装密度を高くすることはできない。また、TABであるため、実装、他のハンドリングが難しい。半導体素子の裏面をサイドエッチしてワイヤーボンディングを用いて多段接続する方法は、莫大な設備投資が必要であることと、リソグラフィー、酸化、メタル形成技術等を駆使しなければならず技術的難易度が高い。通常のICパッケージとサブおよびマザーボードによって、多段接続する方法ではICパッケージの厚さは従来のものとかわらず、これを多段接続するのみであるため実装密度の向上は得られない。更に、サブおよびマザーボードが入ってくるため実装密度は低下する。以上述べたように従来技術では実装密度を

向上させることができない。また、莫大な設備投資が必要、技術的な難易度が高い、高コストである等の色々な問題点を有している。

## 【0005】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体素子を多段接続し、スルーホール構造を有するキャリヤーに固定した半導体装置において、個々の半導体素子は引き出し電極部分を除いた部分に形成された絶縁性接着剤によって他の半導体素子と接続され、かつ前記引き出し電極からキャリヤーへの電気的な接続に金属細線を用いたワイヤーボンディング法を用いたこと、すなわち複数の半導体素子が接着剤によって多段接続され、この多段接続された半導体素子がキャリヤーに固定されていることを特徴とする。この素子でキャリヤーがキャビティ構造であって、かつキャビティーの深さが半導体素子の厚さと絶縁性接着剤の厚さを合わせた厚さの整数倍となっていると、多段接続された半導体素子がキャリヤー内に収容可能となり、素子の信頼性を向上させることも可能となる。またこのキャリヤーに半導体素子を収容できる大きさの開口部が形成すると、さらに薄型の半導体装置が実現できる。開口部は素子のバランスを考慮すれば中心部にあることが望ましい。このような半導体装置を、キャリヤーのスルーホールをメタル、導電性樹脂、もしくはピンコネクションのいずれかの手段によって接続することによってさらに素子を多段に接続することも可能である。なおこの装置は、キャリヤーに第1の半導体素子をマウントする第1の工程と、金属細線を用いて第1の半導体素子の電極とキャリヤーの電極を電気的に接続する第2の工程と、第1の半導体素子の電極部分を除いた部分に絶縁性接着剤を接着する第3の工程と、前記接着剤上に第2の半導体素子を接着する第4の工程と、以後第2～第4の工程を繰り返してn個の半導体素子を多段接続する第5の工程とから製造される。キャリヤーをさらに多段に接続する場合には第5の工程後にキャリヤーを接続する第6の工程を設ければよく、また第5の工程後に多段接続された半導体素子全体を樹脂封止すれば、耐温性を向上できる。

【0006】また本発明の第2の半導体装置は、キャリヤーの開口部に半導体素子を有し、前記半導体素子は引き出し電極によってキャリヤーに電気的に接続されていることを特徴とする半導体装置であって、キャリヤーのスルーホールをメタル、導電性樹脂、もしくはピンコネクションのいずれかの手段によって接続することによって多段接続された半導体装置を得ることができる。第1の半導体装置との相違点は各半導体素子がキャリヤーにそれぞれ接続されている点である。この装置は、端面スルーホール及び開口部を有しキャビティーが形成されたキャリヤーの開口部に半導体素子をマウントする第1の工程と、金属細線を用いて半導体素子の電極とキャリヤーの関係を電気的に接続する第2の工程と、半導体素子

の裏面から研削、研磨、サーフェースグラインダー、エッティング法のいずれの方法によって半導体素子を所望の厚さにする第3の工程とから製造され、さらにこのキャリヤーを接続することで多段接続された半導体装置を得ることができる。ここで、第2の工程もしくは第3の工程後に、電気的接続部を樹脂封止すると、ワイヤーボンディング等の電気接続部分を強化し、かつ耐温性を向上させることができる。

【0007】両半導体装置とも、引き出し電極部分とは逆の面に放熱板を有した半導体素子を少なくとも1つ有していることによって放熱効果を高めることができるとなる。第2の半導体装置においては放熱板と、隣接する半導体素子間はメタル、高熱伝導性樹脂等で接着すると放熱効果を向上させることができる。

【0008】キャリヤーとの電気的な接続の方法として金属細線を用いたワイヤーボンディングを用いるが、素子及び装置をマザーボードへの接続パターン部を除いて樹脂封止することによって強度を向上させることができある。また、キャリヤーを端面スルーホールによって多段接続する際、メタルを用いて実施する場合は、例えば組成が、Pb/10Sb、Sn/5Ag、Sn/10Sb/2Ag(各Wt%)等で融点が180°C以上のもので行なうことが好ましい。これは半導体装置のマザーボードへの実装では、一般的に組成がPb/60Sn(Wt%)、融点が183°Cのハンダが用いられているため、リフロー温度は230°C前後で実施されているため、多段接続するためのメタルが、リフローの時に溶解して半導体装置が分割されないようにするためである。もちろん、マザーボードへの実装で用いられる半田の融点が低くなればリフロー温度もそれに伴って低くなるので、その分スルーホールを接続するときに用いるメタルの自由度も向上する。

【0009】また、多段接続するそれぞれのキャリヤーに、回路パターンの一部を接続、或いは分離し、各キャリヤーにそれぞれ異なった回路機能を持たせ、記号、文字、数字等を印刷、エッティング、レーザー法等によって形成すると、この記号、文字、数字等によって各種電気回路の組み合わせを行うことで、必要に応じた電気回路機能が得られると同時に応用範囲を広くする事ができる。

【0010】キャリヤーの材質は特に限定されず、プリント基板、ガラスセラミックス、フレキシブルプリント基板、アルミニナセラミックス基板、空化アルミニ基板等を適宜選択して用いることが可能である。

【0011】なお、接着剤5に不純物が多量に含まれていると素子の誤動作を招くため、接着剤はなるべく高純度のものが望ましい。接着剤5が、エポキシ系、シリコン系、フッソ系樹脂等の液体である場合はスタンピング法もしくはディスペンス法、エポキシ系シート、シリコン系シート、フッソ系シート等の固体である場合はテー

プ貼付法、酸化膜の形成、スピンドルによる有機物形成の場合は、リソグラフィー法等、半導体プロセスを組み合わせた方法で実施することができる。

#### 【0012】

【実施例】次に本発明について図面を参照して説明する。

【0013】(実施例1) 図1は本発明の第1の半導体装置の例を示す断面図である。図2にその製造フローを示す。端面スルーホール2を有し、キャビティーが形成されているキャリヤー1に半導体素子4をマウントする(図2a)。次に金属細線6を用いて半導体素子4の電極とキャリヤー1の電極を電気的に接続する(図2b)。半導体素子4の電極部分を除いた部分に高純度な絶縁性である有機物、無機物等の接着剤5を接着させ(図2c)、その上に半導体素子4を接着させる(図2d)。次に半導体素子4の電極とキャリヤー1を金属細線6を用いて電気的に接続する。以下同様に繰り返し所望の段数を接続する(図2e)。本発明で使用している半導体素子4の厚さは、100-200μm、金属細線6は、25μmの金線、接着剤の厚さは、25-100μm程度である。本発明の構造とした場合、半導体素子を4段接続した時、半導体装置の厚さが1-1.5mm程度となる。

【0014】キャリヤーは図1に示したようなキャビティーを有しているものを使用すると最後に樹脂3により樹脂封止を実施することができるため、ワイヤーボンディングの強化が可能となるために有利であるが、キャビティーを有さないキャリヤーを使用してもよいことはいうまでもない。

【0015】図1のような装置を単独で用いる場合には、キャビティーの側面全体にスルーホールを形成する必要はなく、図1(b)で示すように、端面スルーホールの代わりにボールグリッドアレイ7を形成したキャリヤー1を用いてもよい。このような構造にする事により、多ピン化が容易となり、また、ピン内ピッチも大きくとれ、マザーボードへの実装も容易となる。キャビティーの側面全体に端面スルーホールを形成すると、これを接続することでキャリアを多数接続することが可能となる。

【0016】また、図1(c)に示すようにキャリヤー1に開口部9を有するものを用い、放熱板8を設けてもよく、放熱効果を向上させた多段接続した半導体装置を得られる。

【0017】(実施例2) 図3は本発明の第2の半導体装置を示す断面図である。図4にその製造フローを示す。ステージ上の端面スルーホール2を有するキャリヤー1のキャビティー中央部に、半導体素子4よりも少し大きめの開口部9が設けられている。この開口部に半導体素子4をマウントし(図4a)、金属細線6を用いて半導体素子4とキャリヤー1を電気的に接続する(図4b)。

b)。そして樹脂3によって樹脂封止し(図4c)、次に半導体素子4の裏面から、研削、研磨、サーフェースグラインダー、エッティング法等によって、所望の厚さに形成する(図4d)。

【0018】ここで樹脂封止をすることで耐温性が向上し、加えてワイヤーボンディング部分及び半導体素子を固定することが可能となり、研削時の信頼性も向上する。また、研削により半導体素子を非常に薄くすること(例えば0.10-0.3mm)ができ、非常に薄い半導体装置が完成する。

【0019】その後、多段接続する場合には端面スルーホール2を用いてメタル、導電性樹脂等によって多段接続する(図4e)。ピンコネクションで接続してもよい。このような方法により、例えば4段接続した場合でも全体の厚さが、0.4-1.2mmという非常に薄くて高密度実装に適した多段接続した半導体装置となる。これは従来の1番薄いパッケージであるTSOPの1.0mmに同等であり、実装密度も約4倍となって高密度実装に適した半導体装置となる。

【0020】図3(b)は図4(d)によって得られた半導体装置に放熱板8を取り付けたものであり、放熱効果を向上することができる。放熱板8を紙面に垂直にのばした装置を多段に接続すると、図3(c)に示したような、マザーボード10に多段実装した装置が得られる。このとき放熱板8の面と、樹脂3の面間はメタル、高熱伝導性樹脂によって接着されている構造とするとよい。放熱板8をマザーボードに接続すると、放熱経路を放熱板とマザーボードの双方に確保出来るので放熱効果を更に向上させる事ができるが、接続しないでマザーボード10に対して並行に実装してもよい。

【0021】(実施例3)図5は本発明の第3の実施例の製造フローを示す図である。キャリヤーが多数個形成されている多数個取り基板(図5a)に、半導体素子を多数個ワイヤーボンディング接続し(図5c)、次に、この多数個搭載された半導体素子4と多数個取り基板の個々の間に、樹脂を注入して封止し(図5d)、その後多数個取り基板の状態で半導体素子の裏面から、研磨、研削、サーフェースグラインダー、エッティング法等によって所望の厚さに形成する(図5e)。なお、本発明の第1の半導体装置の例によるポールグリッドアレイ構成(図1b)の場合は樹脂封止後、多数個取り基板の状態でポールグリッドアレイ7を半田ボール、半田ペースト印刷、ディスペンス法等により所望の高さに形成する。

次に、多数個取りの中には個々の半導体素子4からキャリヤー、次に、多数個取りの中には個々の半導体素子4からキャリヤー1に引き出されている端子を用いて、バーインテスト前、バーインテスト、バーインテスト後等の電気的特性検査を実施する(図5f)。尚、本電気的特性検査は、本工程のみならず半導体素子4が搭載された工程以降であれば、どの工程でも適用出来

る。その後、電気的特性検査の完了した多数個取り基板を、所望の段数位置決めし、重ね合わせる(図5g)。メタル接続による多段接続の場合は、リフロー、ウエルド法等で、導電性樹脂接続による多段接続の場合は、熱硬化、紫外線硬化法等によって接続する。

【0022】次に、ダイシング、レーザー、スクライプ、チョコブレーク法等(図5h)によって、個々の多段接続された半導体装置を得る(図5i)。

【0023】尚、チョコブレーク法の場合は、多数個取り基板製造の段階でブレーク溝を予め基板に形成したものを、多数個取り基板として使用する。最後に必要に応じて最終的な電気的特性検査を実施する。電気的検査は、個々のキャリヤーの上、下、或いは側面に形成されている多段接続用パッドに、探針、或いは面接触によって電気的なコンタクトをとって実施する。

【0024】この実施例では半導体素子を搭載したキャリヤーを所望の個数一括で重ね合わせ接続して、多段接続して半導体装置化するために作業性に優れ、低コスト化ができる。

#### 【0025】

【発明の効果】以上説明したように本発明による半導体装置によれば、従来の半導体パッケージの厚さ分が省略できる事になるため非常にパッケージを薄くでき、従来以上の高密度実装ができるようになる。更にワイヤーボンディングによる接続方法を用いているために、高度な技術も莫大な設備投資も不要となる。従って安価で高密度実装ができる半導体装置の製造が可能となる。

【0026】以上述べたように本発明によって、電気的に応用範囲が広く、小型で、軽量で、放熱効果が高く、安価で、そして高密度実装に適した多段接続した半導体装置が得られる。

#### 【図面の簡単な説明】

【図1】本発明の実施例1を示す断面図である。

【図2】本発明の実施例2を示す断面図である。

【図3】本発明の実施例1の製造フローを示す断面図である。

【図4】本発明の実施例2の製造フローを示す断面図である。

【図5】本発明の実施例3の製造フローを示す平面図および断面図である。

【図6】従来技術例1を示す断面図である。

【図7】従来技術例2を示す断面図である。

#### 【符号の説明】

- 1 キャリヤー
- 2 端面スルーホール
- 3 樹脂
- 4 半導体素子
- 5 接着剤
- 6 金属細線
- 7 ポールグリッドアレイ

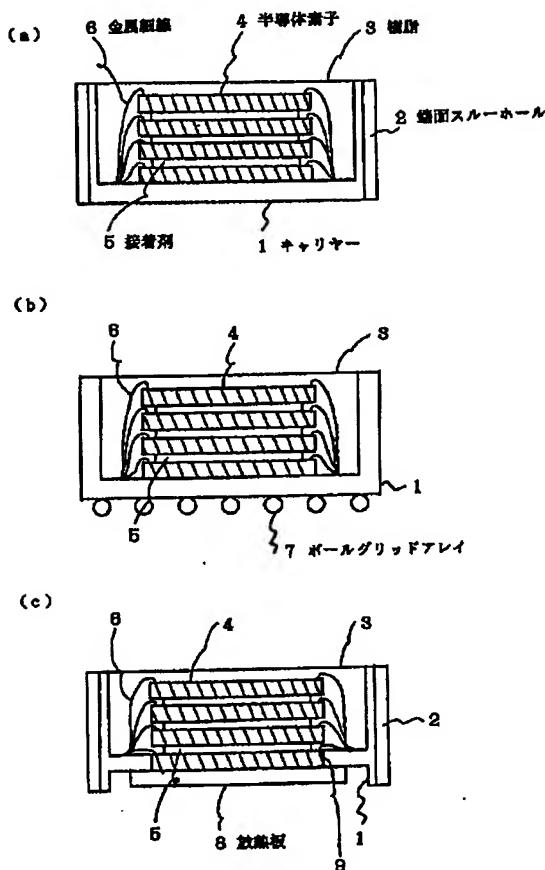
9

10

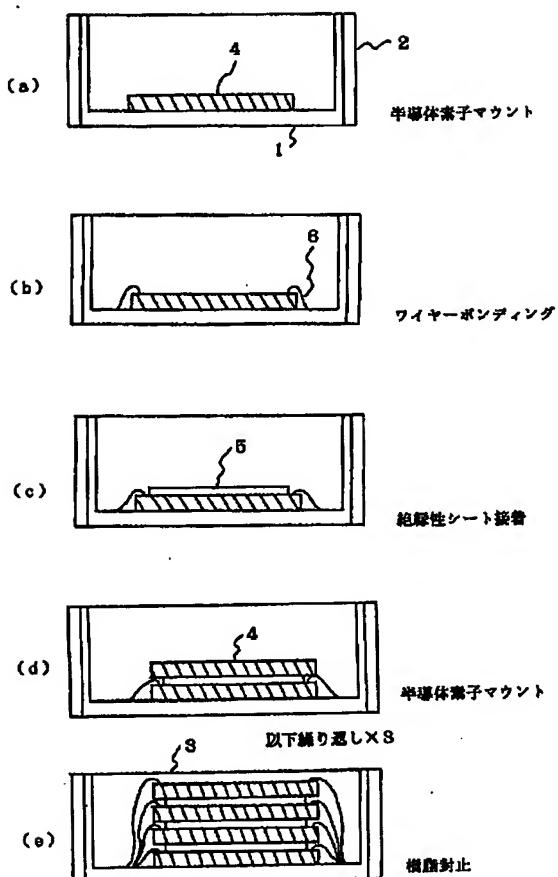
8 放熱板  
 9 開口部  
 10 マザーボード  
 21 セラミック  
 22 I C搭載用基板  
 23 チップキャリア接続用電極

24 メモリ I C  
 25 封止樹脂  
 26 半田  
 27 リード  
 28 モールド材  
 30 半導体装置

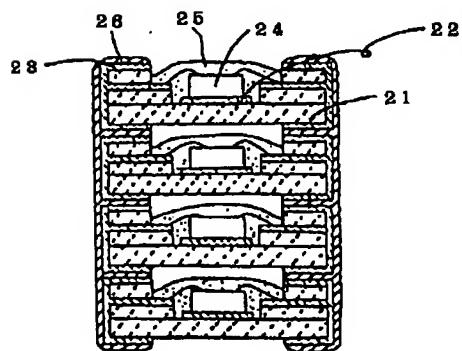
【図1】



【図2】

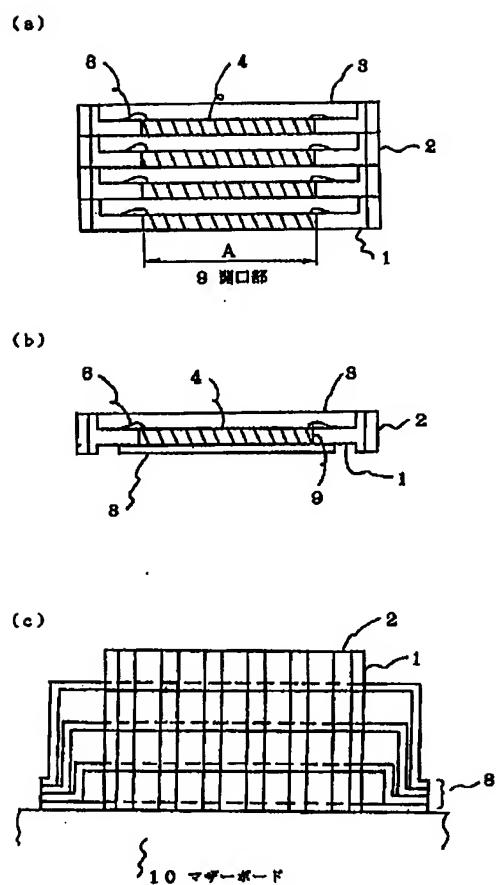


【図6】

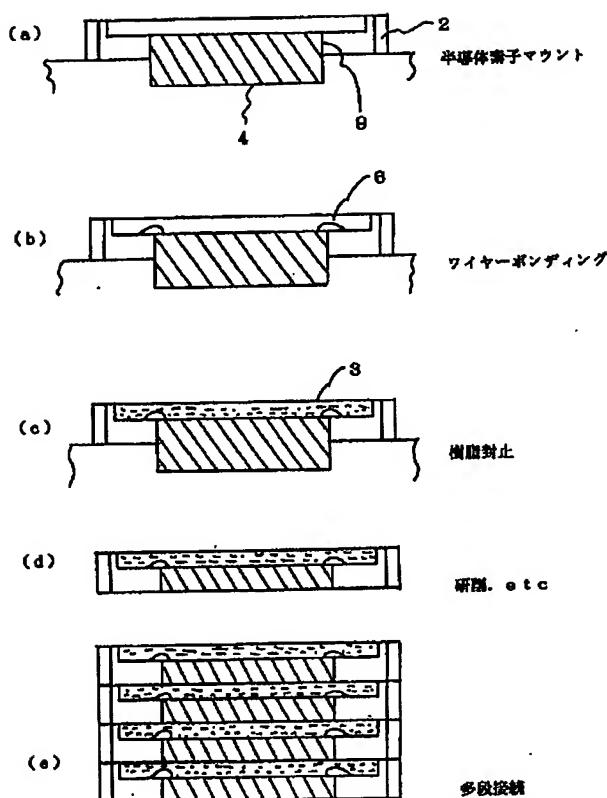


21……セラミック、22……I C搭載用電極、  
 24……メモリ I C  
 25……封止樹脂、26……半田。

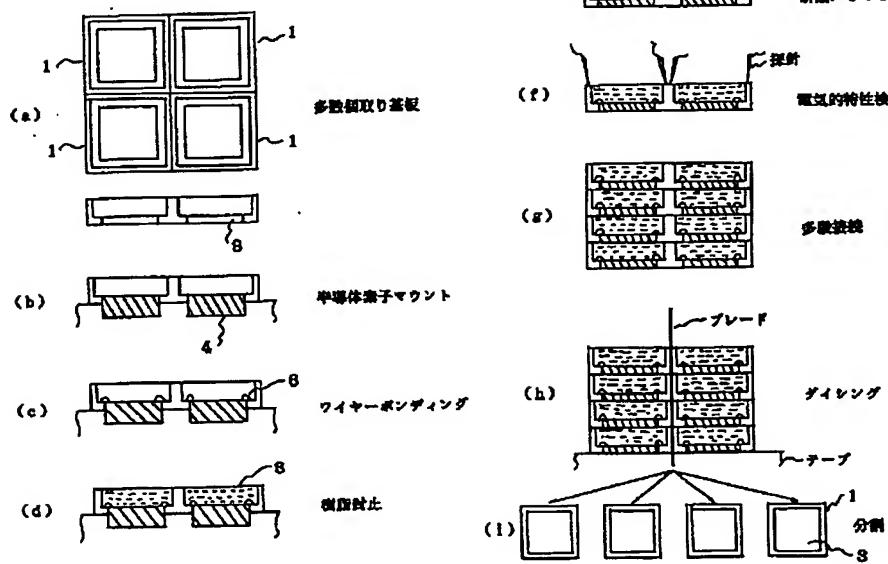
【図3】



【図4】



【図5】



【図7】

